



Patent

IFW

Customer No. 31561
Application No.: 10/709,372
Docket No. 12409-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chang et al.
Application No. : 10/709,372
Filed : Apr. 30, 2004
For : NON-VOLATILE MEMORY CELL AND
MANUFACTURING METHOD THEREOF
Examiner : N/A
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92137266,
filed on: 2003/12/29.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 2, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

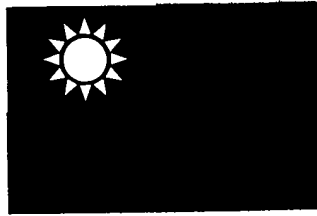
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 12 月 29 日
Application Date

申請案號：092137266
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2004 年 5 月
Issue Date

發文字號：09320504150
Serial No.

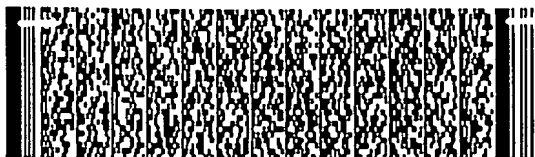
BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	非揮發性記憶胞及其製造方法
	英 文	NON-VOLATILE MEMORY CELL AND MANUFACTURING METHOD THEREOF
二、 發明人 (共2人)	姓 名 (中文)	1. 張格榮 2. 黃丘宗
	姓 名 (英文)	1. CHANG, KO HSING 2. HUANG, CHIU TSUNG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市大學路88號12樓之1 2. 新竹市富群街30巷1弄37號
	住居所 (英文)	1. 12F-1, No. 88, Ta-Hsueh Rd., Hsinchu, Taiwan, R.O.C. 2. No. 37, Alley 1, Lane 30, Fu-Chiun St., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. Powerchip Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG JENG



四、中文發明摘要 (發明名稱：非揮發性記憶胞及其製造方法)

一種非揮發性記憶胞，此記憶胞至少是由基底、閘極、第一源極/汲極區、複合介電層、第二源極/汲極區所構成。其中，基底具有一溝渠；閘極位於溝渠中；第一源極/汲極區位於溝渠底部；複合介電層位於閘極與溝渠表面之間，且複合介電層至少包括電荷陷入層；第二源極/汲極區位於閘極兩側之基底中。

伍、(一)、本案代表圖為：第__2B__圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

202：溝渠

204：元件隔離結構

206、214：源極/汲極區

208：閘極

210：複合介電層

六、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY CELL AND MANUFACTURING METHOD THEREOF)

A non-volatile memory cell at least is consisted of a substrate, a gate, a first source/drain region, a complex dielectric layer, and a second source/drain region. A trench is formed in the substrate. The gate is formed in the trench. The first source/drain region is formed in the bottom of the trench. The complex dielectric layer is formed between the gate and

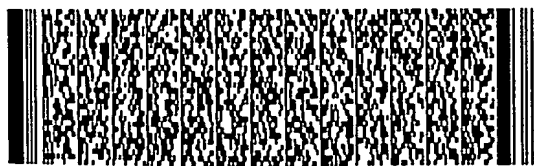


四、中文發明摘要 (發明名稱：非揮發性記憶胞及其製造方法)

210a : 底介電層
210b : 電荷陷入層
210c : 頂介電層
212 : 間隙壁
214a : 淡摻雜區
214b : 濃摻雜區
216 : 內層介電層
218 : 插塞
220 : 導線

六、英文發明摘要 (發明名稱：NON-VOLATILE MEMORY CELL AND MANUFACTURING METHOD THEREOF)

the surface of the trench. The complex dielectric layer at least includes a charge trapping layer. The second source/drain region is formed in the substrate next to the two sides of the gate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

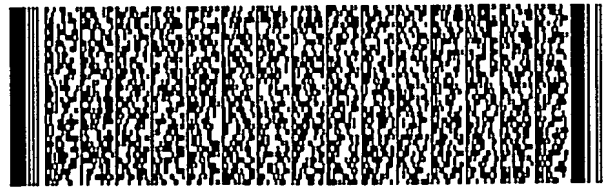
發明所屬之技術領域

本發明是有關於一種半導體記憶元件，且特別有關於一種非揮發性記憶胞(non-volatile memory cell)及其製造方法。

先前技術

在各種非揮發性記憶體產品中，具有可進行多次資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點的可電抹除且可程式唯讀記憶體(EEPROM)，已成為個人電腦和電子設備所廣泛採用的一種記憶體元件。典型的可電抹除且可程式唯讀記憶體係以摻雜的多晶矽(polysilicon)製作浮置閘極(floating gate)與控制閘極(control gate)。當記憶體進行程式化(program)時，注入浮置閘極的電子會均勻分布於整個多晶矽浮置閘極層之中。然而，當多晶矽浮置閘極層下方的穿隧氧化層(tunneling oxide)有缺陷存在時，就容易造成元件的漏電流，影響元件的可靠度。

因此，為了解決可電抹除可程式唯讀記憶體元件漏電流之問題，目前的方法是採用一電荷陷入層(charge trapping layer)取代習知記憶體的多晶矽浮置閘極，此電荷陷入層之材質例如是氮化矽。這種氮化矽電荷陷入層上下通常各有一層氧化矽，而形成一種包含氧化矽/氮化矽/氧化矽(oxide-nitride-oxide，簡稱ONO)層所構成之堆疊式結構(stacked structure)，具有此堆疊式閘極結構之唯讀記憶體可稱為矽/氧化矽/氮化矽/氧化矽/矽

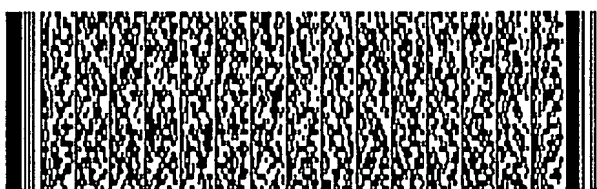
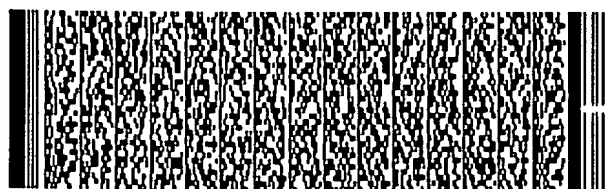


五、發明說明 (2)

(silicon-oxide-nitride-oxide-silicon, 簡稱SONOS) 記憶元件。

第1圖所繪示為習知的一種SONOS記憶胞之剖面示意圖。請參照第1圖，SONOS記憶胞係包括基板100、由氧化矽102a/氮化矽102b/氧化矽102c構成之複合介電層102、控制閘極104、汲極區106a、源極區106b。其中，氧化矽102a/氮化矽102b/氧化矽102c複合介電層102以及控制閘極104係依序配置於基板100上，且形成一堆疊式閘極結構108。此外，通道區110係配置於堆疊式閘極結構108下方之基底100中，而汲極區106a、源極區106b係配置於堆疊式閘極結構108兩側之基底100中。

然而，隨著積體電路正以更高的集積度朝向小型化的元件發展，上述SONOS記憶胞之尺寸可藉由減小控制閘極長度方式來達成。但是，閘極長度變小會縮短了氧化層102a下方的通道110長度(Channel Length)，於是在程式化此記憶胞時，汲極區與源極區之間就容易發生不正常的電性貫通(Punch Through)，如此將嚴重影響此記憶胞的電性表現。而且，SONOS記憶胞的通道寬度104a對儲存效率有很大的影響；亦即閘極寬度104a之尺寸縮小，使得其儲存效率受到影響而變差。此外，在記憶體的製造過程中，微影製程也會有所謂關鍵尺寸之問題，而限制記憶胞尺寸的縮小。所以目前要如何元在元件小型化的趨勢下，增加SONOS記憶胞的耦合率，進而提升其儲存效率，將是各界研究的重點之一。



五、發明說明 (3)

另外，由於電腦應用軟體的逐漸龐大，因此所需的記憶體容量也就愈來愈大，對於這種尺寸變小而記憶體容量卻需要增加的情形，顯示習知的SONOS記憶胞的結構與製造方法必須有所改變，以符合趨勢所需。因此，在深次微米的製程中，如何在有限的空間中保有原有的記憶容量，甚至加大原有的記憶容量也是記憶體元件之製程所關心的問題。

發明內容

有鑑於此，本發明之目的是提供一種非揮發性記憶胞的製造方法，以配合元件小型化的發展製作出較高耦合率的非揮發性記憶胞。

本發明之再一目的是提供一種非揮發性記憶胞，以有效縮小元件尺寸，而增加元件積集度，並且增加非揮發性記憶胞的耦合率，進而提升其儲存效率。

本發明提出一種非揮發性記憶胞，此記憶胞至少是由基底、閘極、第一源極/汲極區、複合介電層、第二源極/汲極區所構成。其中，基底具有一溝渠；閘極位於溝渠中；第一源極/汲極區位於溝渠底部；複合介電層位於閘極與溝渠表面之間，且複合介電層至少包括電荷陷入層；第二源極/汲極區位於閘極兩側之基底中。。

在上述之非揮發性記憶胞中，複合介電層至少是由底介電層、電荷陷入層與頂介電層所構成，且複合介電層包括氧化矽/氮化矽/氧化矽層。

由上述可知，本發明之非揮發記憶胞的複合介電層



五、發明說明 (4)

(介電層/電荷陷入層/介電層)與閘極是設置在基底的溝渠中，且源極/汲極區是設置在溝渠底部與頂部的基底中，因此記憶胞的通道區是設置於溝渠側壁之基底中(垂直式通道區)，可以藉由控制溝渠之深度準確的控制通道長度，進而能避免元件尺寸縮小時所產生的問題，而能夠增加元件集積度。

本發明提供一種非揮發性記憶胞的製造方法，首先提供一基底。於基底中形成溝渠後，於溝渠底部形成第一源極/汲極區。接著，於溝渠中形成複合介電層，此複合介電層至少包括電荷陷入層。之後，於複合介電層上形成閘極，並於閘極兩側之基底中形成第二源極/汲極區。

本發明將複合介電層與閘極形成於基底的溝渠中，且源極/汲極區是設置在溝渠底部與頂部的基底中，因此記憶胞的通道區是形成於溝渠側壁之基底中(垂直式通道區)，可以藉由控制溝渠之深度準確的控制通道長度，進而能避免元件尺寸縮小時所產生的問題，而能夠增加元件集積度。

而且，由於複合介電層(介電層/電荷陷入層/介電層)與閘極形成於基底的溝渠中，類似兩個元件並聯，故在同樣的元件尺寸與線寬下，能增加其有效通道長度，進而提升記憶胞電流，使其更易判斷記憶胞的「0」或「1」狀態。此外，本發明之非揮發性記憶體之製程簡單，係屬於單一多晶矽製程(single poly process)，而



五、發明說明 (5)

可以與互補式金氧半導體製程相配合。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

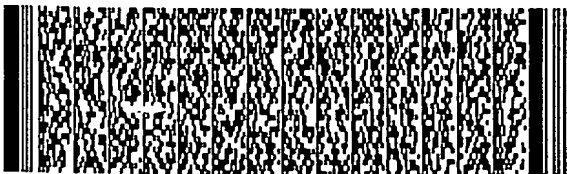
第2A圖所繪示為本發明一較佳實施例的一種非揮發性記憶胞的上視圖。第2B圖所繪示為本發明一較佳實施例的一種非揮發性記憶胞的剖面示意圖，且其係為第2A圖由A-A'之剖面示意圖。

請同時參照第2A圖與第2B圖，此非揮發性記憶胞係包括基底200、元件隔離結構204、源極/汲極區206、閘極208、複合介電層210、間隙壁212、源極/汲極區214、內層介電層216、插塞218、導線220。

基底200例如是矽基底，在此基底200中設置有溝渠202。元件隔離結構204設置於基底200中，用以定義出主動區。元件隔離結構204例如是場氧化層隔離結構或淺溝渠隔離結構。

源極/汲極區206例如是設置於溝渠202底部。閘極208例如是位於溝渠202中，其填滿溝渠202並突出基底200表面，且閘極208更延伸於溝渠202外的部分基底200上。閘極208之材質例如是摻雜多晶矽。

複合介電層210例如是位於閘極208與溝渠202表面之間及閘極208與基底200之間。複合介電層210至少包括底介電層210a電荷陷入層210b、頂介電層210c。其中底介



五、發明說明 (6)

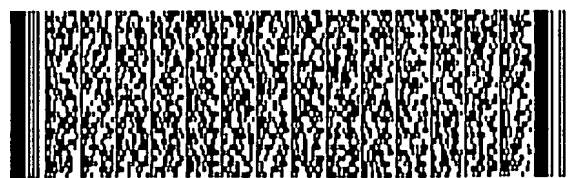
電層210a之材質例如是氧化矽，其係作為穿隧介電層之用。頂介電層210c之材質例如是氧化矽，其係作為隔絕電荷陷入層210b與閘極208之用。當然底介電層210a與頂介電層210c之材質也可以是其他介電材料。電荷陷入層210b之材質例如是氮化矽，當然電荷陷入層210b之材質也可以是其他具有使電荷陷入於其中之材料，如氧化鉬、鈦酸鋁與氧化鈣等。

間隙壁212例如是位於閘極208側壁，其材質包括絕緣材料。源極/汲極區214例如是位於閘極208兩側之基底200中。源極/汲極區214例如是由淡摻雜區214a與濃摻雜區214b所構成。其中，淡摻雜區214a例如是位於間隙壁212下方之基底200中。

內層介電層216例如是位於基底200上。導線220例如是位於內層介電層216上，其藉由插塞218電性連接源極/汲極區214。在此，導線220例如是作為位元線，閘極208例如是作為字元線。

由上述可知，本發明之非揮發記憶胞的複合介電層(介電層/電荷陷入層/介電層)與閘極是設置在基底200的溝渠202中，且源極/汲極區是設置在溝渠底部與頂部的基底中，因此記憶胞的通道區是設置於溝渠側壁之基底中(垂直式通道區)，可以藉由控制溝渠之深度準確的控制通道長度，進而能避免元件尺寸縮小時所產生的問題，而能夠增加元件集積度。

本發明之非揮發性記憶胞之閘極208並不限於第2B圖



五、發明說明 (7)

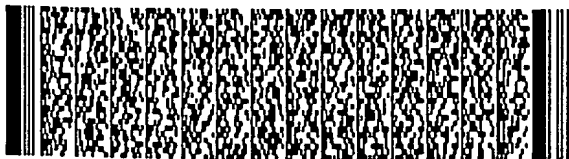
所示。閘極208也可以只填滿溝渠202並突出基底200表面(如第2C圖所示)。當然,閘極208也可以只填滿溝渠,而沒有突出基底200表面。

第3圖所繪示為本發明之非揮發性記憶胞的電路簡圖。如第3圖所示,本發明之記憶胞可視為兩個串接的半導體元件,共用閘極(字元線WL)、汲極線(位元線BL)與源極線(SL),因此可以提高電流密度,並提升記憶體元件之程式化/抹除操作之效率。

以下說明本發明之非揮發性記憶胞之程式化操作。第4A圖與第4B圖所繪示為本發明之非揮發性記憶胞的程式化/讀取示意圖。在第4A圖與第4B圖中,構件與第2B圖相同者給予相同之標號,並省略其說明。

請參照第4A圖,在對記憶胞進行程式化時,可以對閘極208施加一偏壓 V_{gp} ,對源極/汲極區214施加一偏壓 V_{up} ,源極/汲極區206浮置,而在接近於源極/汲極區214側的電荷陷入層210b中存入電子。在對記憶胞進行讀取時,對閘極208施加一偏壓 V_{cc} ,對源極/汲極區214施加一偏壓 V_{ur} ,源極/汲極區206浮置,以讀取源極/汲極區214側位元之資料。

同樣的,如第4B圖所示,在對記憶胞進行程式化時,可以對閘極208施加一偏壓 V_{gp} ,對源極/汲極區206施加一偏壓 V_{dp} ,源極/汲極區214浮置,而在接近於源極/汲極區206側的電荷陷入層210b中存入電子。在對記憶胞進行讀取時,對閘極208施加一偏壓 V_{cc} ,對源極/汲極



五、發明說明 (8)

區206施加一偏壓 V_{dr} ，源極/汲極區214浮置，以取源極/汲極區206側位元之資料。而使本發明之記憶胞可成為一種單記憶胞二位元儲存之非揮發性記憶體。

本發明之非揮發性記憶體在程式化時，可以使靠近源極/汲極側之電荷陷入層同時存有電子、兩者之其中之一存有電子或是兩者都不存有電子，而形成二位元結構，因此可以在不增加記憶胞體積之狀況下，增加儲存資料的位元數並可以提升元件集積度。

以下，接著說明本發明之非揮發性記憶胞之製造方法。

第5A圖至第5F圖是依照本發明之一較佳實施例之一種非揮發性記憶胞的製造流程剖面圖。

請參照第5A圖，先提供一基底300，此基底300中已形成有元件隔離結構，以定義出主動區。接著，於基底300上依序形成一墊氧化層302(pad oxide)與一層罩幕層304(patterned mask layer)，其材質例如是氮化矽或其它合適的材質。隨後，以圖案化罩幕層304與墊氧化層302，以形成開口305。

請參照第5B圖，以經圖案化之罩幕層304與墊氧化層302為罩幕，去除暴露出之部分基底300，以形成溝渠306。移除部分基底300之方法包括乾式蝕刻法，例如是反應性離子蝕刻法。

接著，於溝渠306底部形成源極/汲極區308。此源極/汲極區308之形成方法例如是離子植入法。當然，源極/



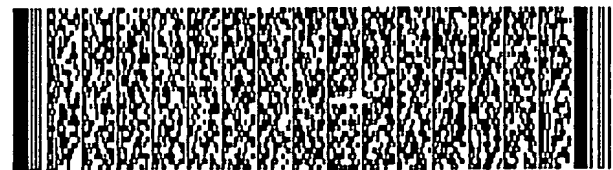
五、發明說明 (9)

汲極區308之形成方法也可以於溝渠306底部形成一層絕緣摻雜層(未圖示)，並於在溝渠306之側壁上形成一層帽蓋層(Cap Layer)(未圖示)。接著，對基底100進行一熱製程，使摻雜絕緣層中的雜質擴散進入溝渠306底部之基底300中而形成源極/汲極區308。然後，移除溝渠306底部的摻雜絕緣層與溝渠306側壁之帽蓋層。

請參照第5C圖，移除罩幕層304與墊氧化層302後，於基底300與溝渠306表面形成一底介電層312，其材質包括氧化矽，且此底介電層312譬如是利用一熱氧化製程形成的。之後，於底介電層312上形成一電荷陷入層(charge trapping layer)314，其材質譬如氮化矽，且此電荷陷入層314譬如是利用一化學氣相沈積(chemical vapor deposition，簡稱CVD)製程形成的，而且電荷陷入層314還可以是其它如氮化層、鉍氧化層、鈦酸鋁層或鈣氧化層等。隨後，於電荷陷入層314上形成一頂介電層316，其材質包括氧化矽。而前述之底介電層312、電荷陷入層314以及頂介電層316構成複合介電層310。

請參照第5D圖，於頂介電層316上形成一導電層(未圖示)，此導電層例如是填滿溝渠306，且導電層之材質例如摻雜多晶矽(polysilicon)或其它合適的材質。

接著，圖案化導電層，以於溝渠306上形成一閘極318。而且，閘極318可選擇延伸於溝渠306外的部分基底300上(如本圖所示)，或是直接形成於溝渠306上。然



五、發明說明 (10)

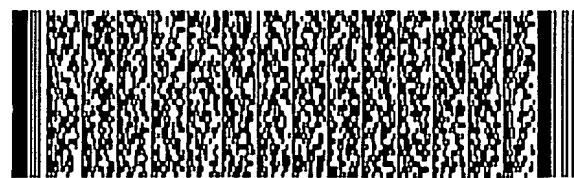
後，去除未被閘極318覆蓋之複合介電層310，而保留下來的則作為複合介電層310。當然，複合介電層310為氧化矽/氮化矽/氧化矽層堆疊結構，而具有此堆疊結構之非揮發性記憶胞可稱為矽/氧化矽/氮化矽/氧化矽/矽 (silicon-oxide-nitride-oxide-silicon，簡稱SONOS) 記憶胞。

然後，進行一淡摻雜製程 (lightly doping process)，以於閘極318外側之基底300中形成淡摻雜區 (lightly doping region) 320。

請參照第5E圖，於閘極318側壁形成間隙壁322，其材質包括絕緣材料，例如氮化矽或其它合適的材質。之後，進行濃摻雜製程，以於閘極318側壁的間隙壁322外之基底300中形成濃摻雜區324。其中，淡摻雜區320與濃摻雜區324構成源極/汲極區 (source/drain region) 326。

請參照第5F圖，於基底300上形成一層內層介電層328。內層介電層328之材質例如是硼磷矽玻璃 (BPSG) 或磷矽玻璃 (PSG)，形成內層介電層328之方法例如是化學氣相沈積法。然後進行一化學機械研磨製程，使內層介電層328之表面平坦化。

接著，於內層介電層328內形成與源極/汲極區326電性連接之插塞330，插塞330之材質例如是鎢金屬。形成插塞330之方法例如是先於內層介電層328中形成暴露接觸窗源極/汲極區326之開口 (未圖示)，然後於開口內填



五、發明說明 (11)

入導體材料以形成之。之後，於內層介電層328上形成與插塞330電性連接之導線332。後續完成記憶胞之製程為習知技藝者所周知，在此不再贅述。

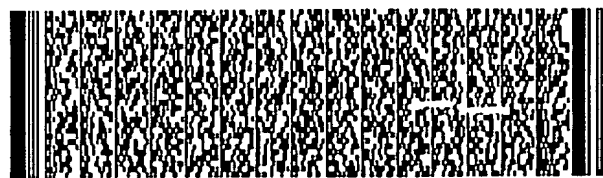
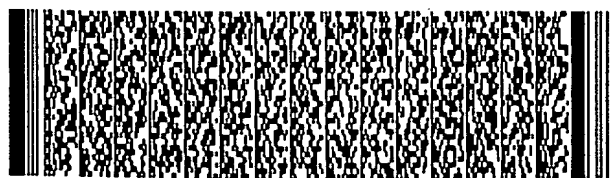
第6A圖至第6D圖是依照本發明之另一較佳實施例之一種非揮發性記憶胞的製造流程剖面圖。在第6C圖與第6C圖中，構件與第5A圖至第5F圖相同者給予相同之標號，並省略其說明。

請參照第5A圖，先提供一基底300，此基底300上已依序形成有經圖案化一層墊氧化層302(pad oxide)與一層罩幕層304(patterned mask layer)。在基底300中已形成有一溝渠306。且於溝渠306底部形成有源極/汲極區308。

請參照第6B圖，於基底300上形成共形的複合介電層310，其包括一底介電層314、一電荷陷入層(charge trapping layer)314與一頂介電層316。接著，於頂介電層316上形成一導電層(未圖示)，此導電層例如是填滿溝渠306。然後，移除溝渠306以外之導電層與複合介電層310，直到裸露出罩幕層304，以形成閘極318。

請參照第6C圖，移除罩幕層304與墊氧化層302，同時突出基底300表面之閘極318側壁的部分複合介電層310也會被移除，而只留下位於溝渠306中的複合介電層310a。

接著，於閘極318外側之基底300中形成淡摻雜區320後，於閘極318側壁形成間隙壁322。之後，於閘極318側



五、發明說明 (12)

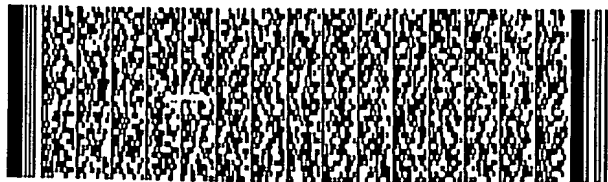
壁の間隙壁322外之基底300中形成濃摻雜區324。其中，淡摻雜區320與濃摻雜區324構成源極/汲極區(source/drain region)326。

請參照第6D圖，於基底300上形成一層內層介電層328後，於內層介電層328內形成與源極/汲極區326電性連接之插塞330。之後，於內層介電層328上形成與插塞330電性連接之導線332。後續完成記憶胞之製程為習知技藝者所周知，在此不再贅述。

本發明之非揮發記憶胞將複合介電層(介電層/電荷陷入層/介電層)與閘極形成於基底300的溝渠306中，且源極/汲極區是設置在溝渠底部與頂部的基底中，因此記憶胞的通道區是形成於溝渠側壁之基底中(垂直式通道區)，可以藉由控制溝渠之深度準確的控制通道長度，進而能避免元件尺寸縮小時所產生的問題，而能夠增加元件集積度。

而且，由於本發明將複合介電層(介電層/電荷陷入層/介電層)與閘極形成於基底300的溝渠306中，在同樣的元件尺寸與線寬下，能增加其耦合率，進而提升儲存效率。此外，本發明之非揮發性記憶體之製程簡單，係屬於單一多晶矽製程(single poly process)，而可以與互補式金氧半導體製程相配合。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明



五、發明說明 (13)

之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖所繪示為習知之矽/氧化矽/氮化矽/氧化矽/矽記憶胞的剖面圖。

第2A圖是依照本發明之較佳實施例之一種非揮發性記憶胞的結構上視圖。

第2B圖至第2C圖是依照本發明之較佳實施例之一種非揮發性記憶胞的結構剖面圖。

第3圖是本發明之非揮發性記憶胞的電路簡圖。

第4A圖與第4B圖所繪示為本發明之非揮發性記憶胞的程式化/讀取示意圖。

第5A圖至第5F圖是依照本發明之一較佳實施例之一種非揮發性記憶胞的製造流程剖面圖。

第6A圖至第6D圖是依照本發明之另一較佳實施例之一種非揮發性記憶胞的製造流程剖面圖。

【圖式標示說明】

100、200、300：基底

102、210、310、310a：複合介電層

102a、102c：氧化層

102b：氮化層

104、208、318：閘極

104a：閘極寬度

106a、206、214、308、326：源極/汲極區

108：堆疊式閘極

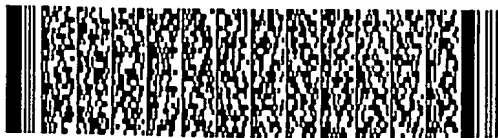
202、306：溝渠

204、402：元件隔離結構



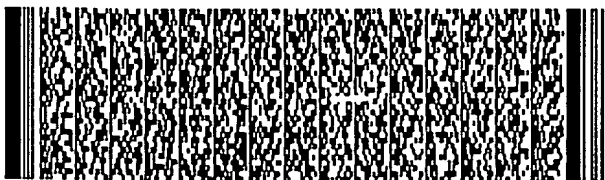
圖式簡單說明

210a、312：頂介電層
210b、314：電荷陷入層
210c、316：底介電層
212、322：間隙壁
214a、320：淡摻雜區
214b、324：濃摻雜區
216、328：內層介電層
218、330：插塞
220、332：導線
302：墊氧化層
304：罩幕層
305：開口



六、申請專利範圍

1. 一種非揮發性記憶胞，包括：
 - 一基底，該基底具有一溝渠；
 - 一閘極，位於該溝渠中；
 - 一第一源極/汲極區，位於該溝渠底部；
 - 一複合介電層，位於該閘極與該溝渠表面之間，該複合介電層至少包括一電荷陷入層；以及
 - 一第二源極/汲極區，位於該閘極兩側之該基底中。
2. 如申請專利範圍第1項所述之非揮發性記憶胞，其中該閘極填滿該溝渠。
3. 如申請專利範圍第1項所述之非揮發性記憶胞，其中該閘極填滿該溝渠，且突出該基底表面。
4. 如申請專利範圍第1項所述之非揮發性記憶胞，其中該閘極更包括延伸於該溝渠外的部分該基底上。
5. 如申請專利範圍第4項所述之非揮發性記憶胞，其中該複合介電層更包括位於該閘極與該基底之間。
6. 如申請專利範圍第1項所述之非揮發性記憶胞，其中該複合介電層包括：
 - 一底氧化層，位於該閘極與該溝渠表面之間；
 - 該電荷陷入層，位於該閘極與該底氧化層之間；以及
 - 一頂氧化層，位於該閘極與該電荷陷入層之間。
7. 如申請專利範圍第1項所述之非揮發性記憶胞，更包括一間隙壁，位於該閘極之側壁。
8. 如申請專利範圍第7項所述之非揮發性記憶胞，更



六、申請專利範圍

包括一淡摻雜區域，位於該間隙壁下方之該基底中。

9. 如申請專利範圍第1項所述之非揮發性記憶胞，其中該閘極之材質包括多晶矽。

10. 如申請專利範圍第1項所述之非揮發性記憶胞，其中該複合介電層包括氧化矽/氮化矽/氧化矽層。

11. 一種非揮發性記憶胞的製造方法，包括：

提供一基底；

於該基底中形成一溝渠；

於該溝渠底部形成一第一源極/汲極區；

於該溝渠中形成一複合介電層，該複合介電層至少包括一電荷陷入層；

於該複合介電層上形成一閘極；以及

於該閘極兩側之該基底中形成一第二源極/汲極區。

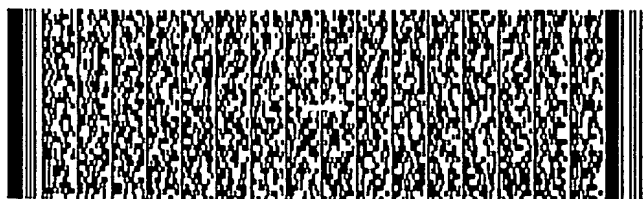
12. 如申請專利範圍第11項所述之非揮發性記憶胞的製造方法，其中於該基底中形成該溝渠之步驟包括：

於該基底上形成一罩幕層，該罩幕層具有一開口；

移除該開口所暴露之部分該基底，以於該基底中形成該溝渠；以及

於該溝渠底部形成該第一源極/汲極區之步驟後與於該溝渠中依序形成該複合介電層之步驟前包括移除該罩幕層。

13. 如申請專利範圍第12項所述之非揮發性記憶胞的製造方法，其中於該溝渠中形成該複合介電層與於該複合介電層上形成該閘極之步驟包括：



六、申請專利範圍

於該基底與該溝渠表面形成一底氧化層；

於該底氧化層上形成該電荷陷入層；

於該電荷陷入層上形成一頂氧化層；

於該頂氧化層上形成一導電層；

圖案化該導電層，以形成該閘極，該閘極至少位於該溝渠中；以及

去除該閘極以外的該頂氧化層、該電荷陷入層與該底氧化層。

14. 如申請專利範圍第13項所述之非揮發性記憶胞的製造方法，其中圖案化該導電層之步驟中更包括於該溝渠外的部分該基底上形成該閘極。

15. 如申請專利範圍第12項所述之非揮發性記憶胞的製造方法，其中於該溝渠中形成該複合介電層與於該複合介電層上形成該閘極之步驟包括：

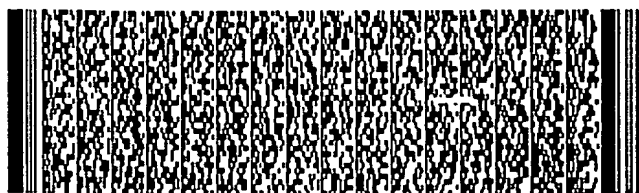
於該罩幕層與該溝渠表面沈積一底氧化層、該電荷陷入層及一頂氧化層，以形成該複合介電層；

於該複合介電層上形成一導電層，該導電層填滿該溝渠與該開口；

移除該開口以外之部分該導電層與該複合介電層；以及

移除該罩幕層，以形成該閘極。

16. 如申請專利範圍第11項所述之非揮發性記憶胞的製造方法，其中於該基底中形成該溝渠之前，更包括於該基底中形成一元件隔離結構，以定義出主動區。



六、申請專利範圍

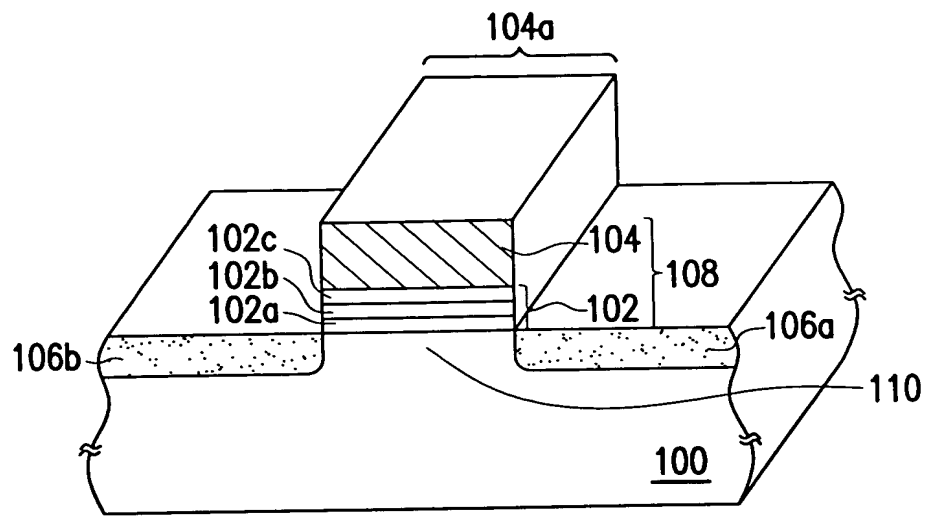
17. 如申請專利範圍第11項所述之非揮發性記憶胞的製造方法，其中於該閘極兩側之該基底中形成該第二源極/汲極區之步驟中，更包括：

進行一淡摻雜製程；

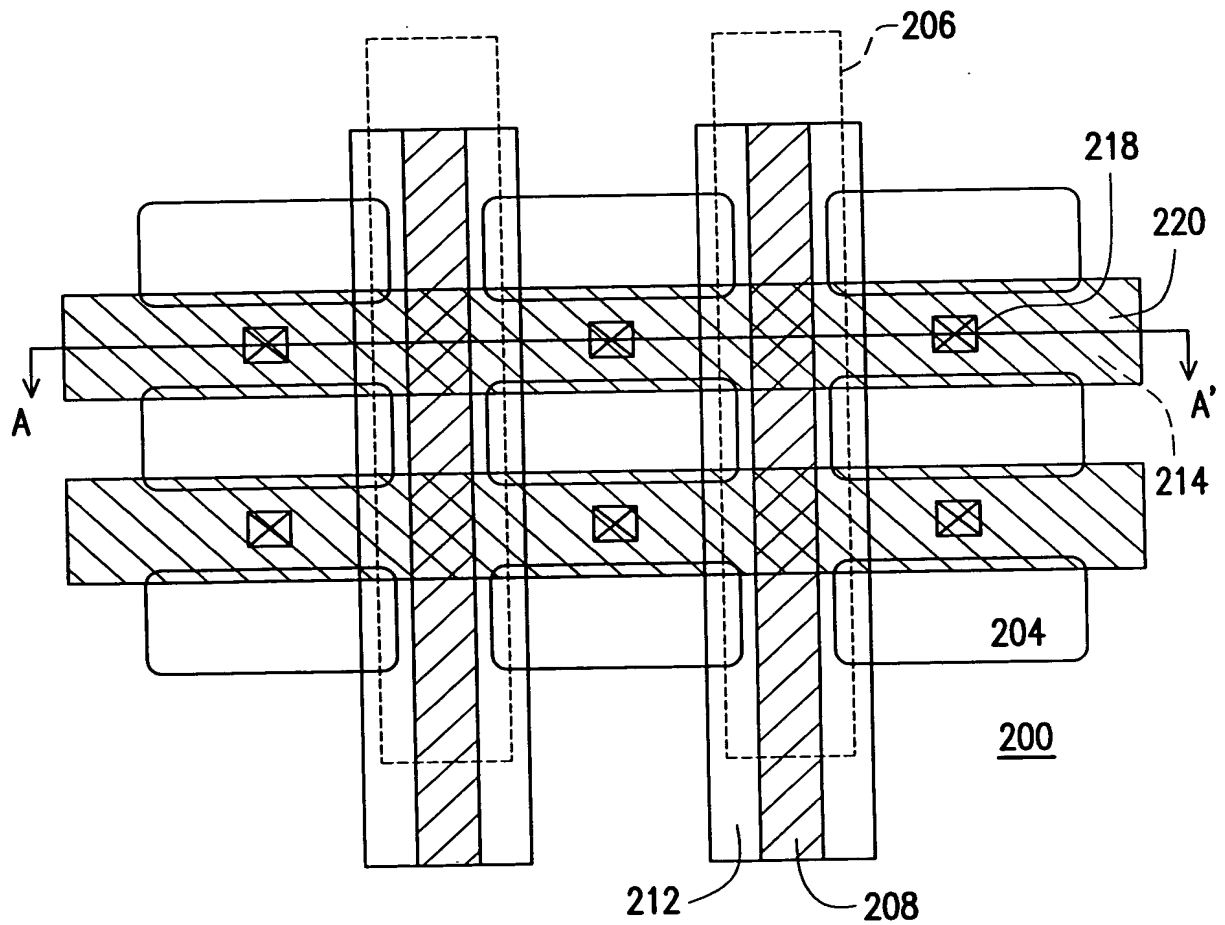
於該閘極側壁形成一間隙壁；以及

進行一濃摻雜製程。

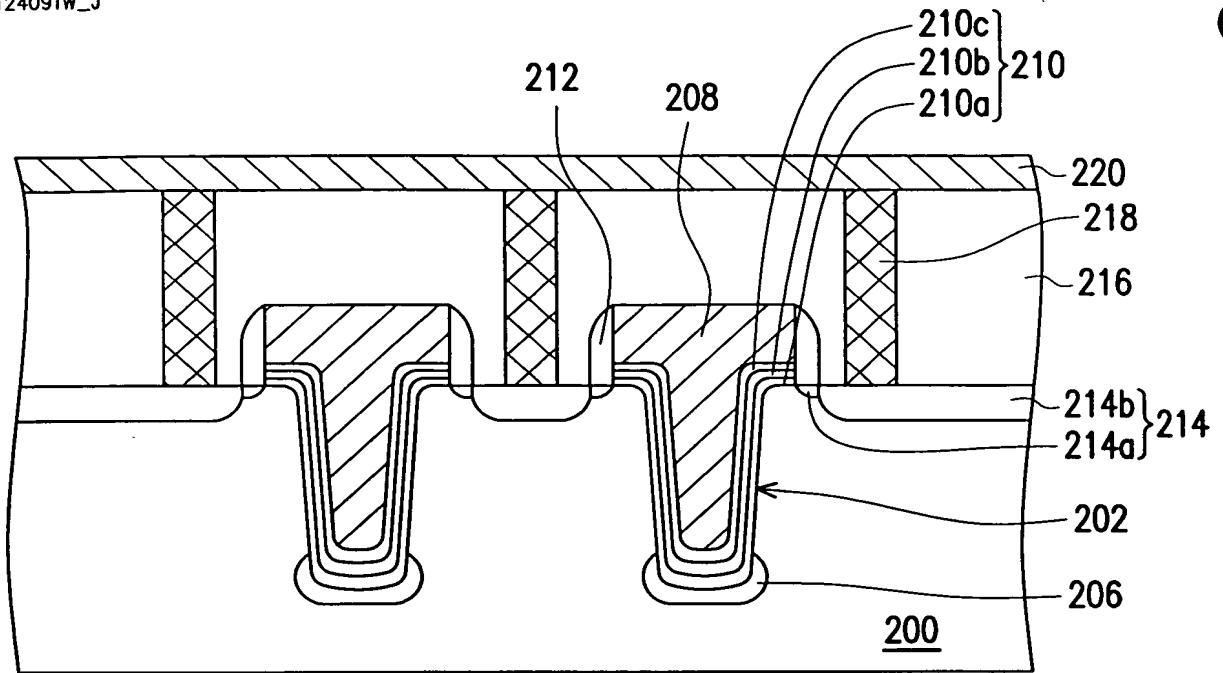




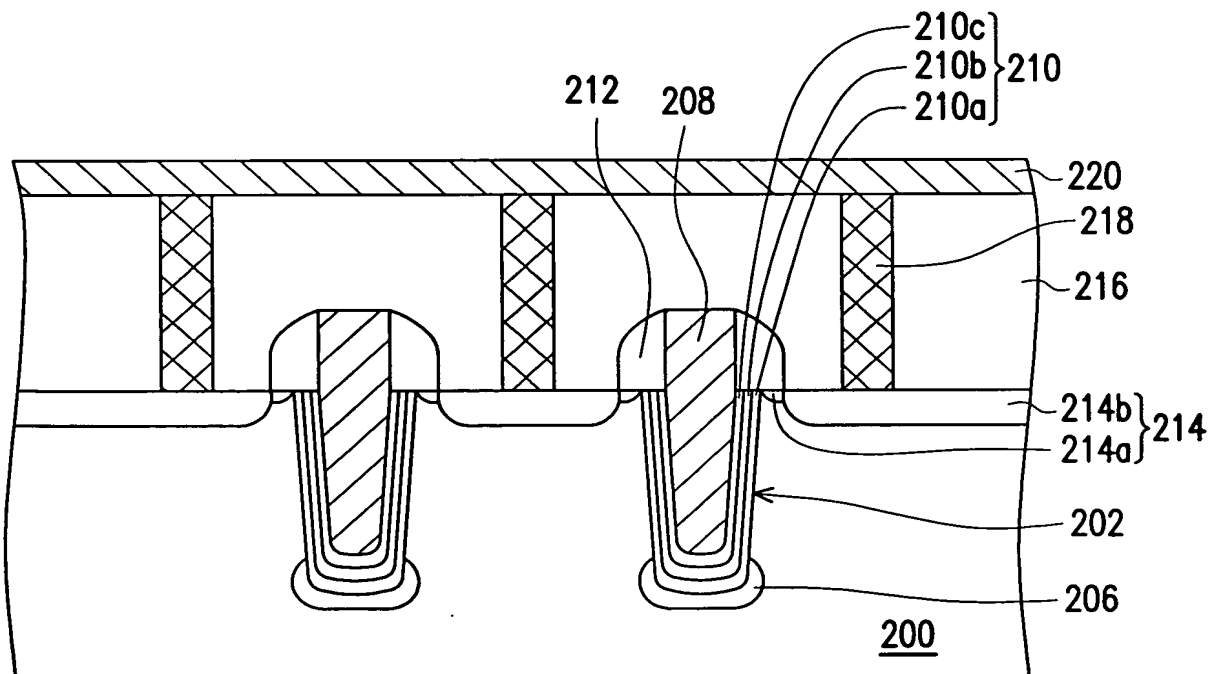
第 1 圖



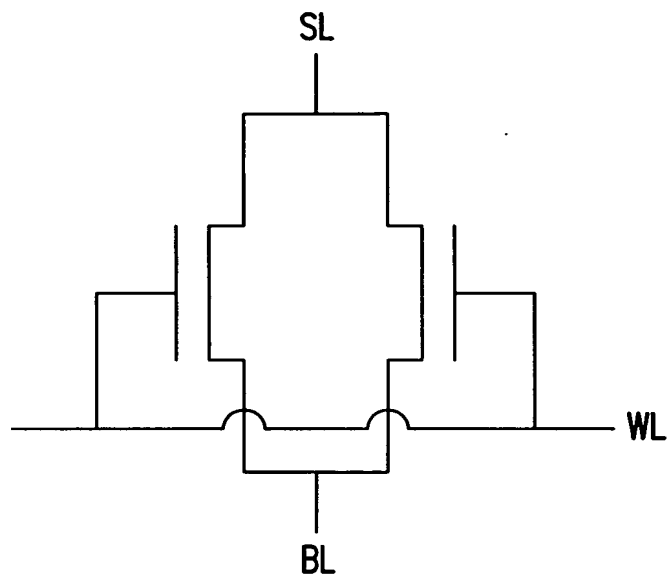
第 2A 圖



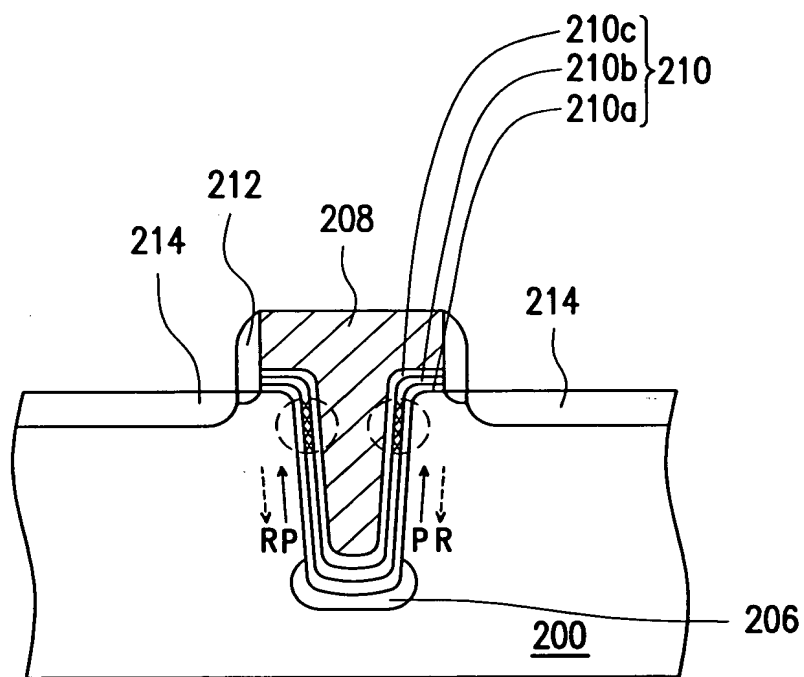
第 2B 圖



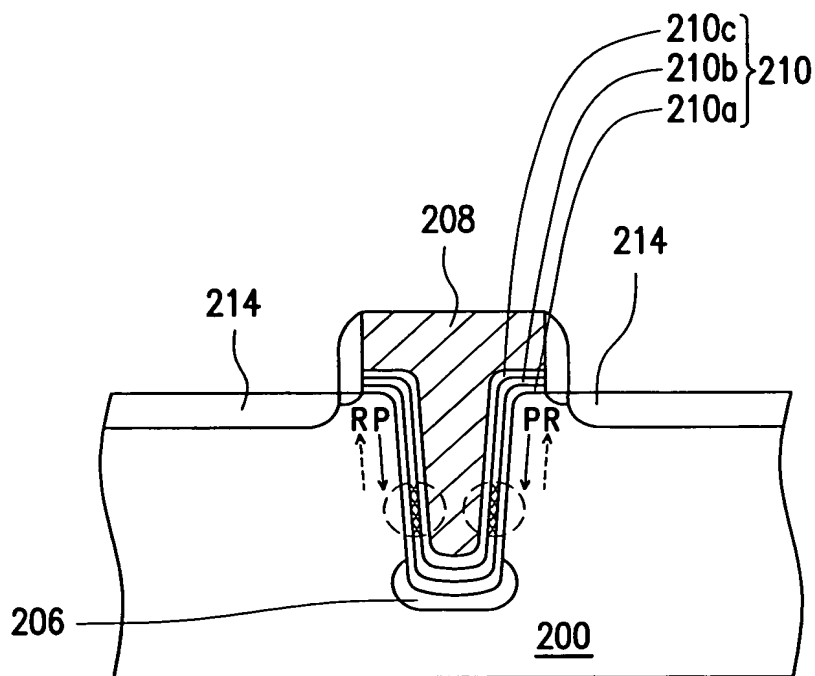
第 2C 圖



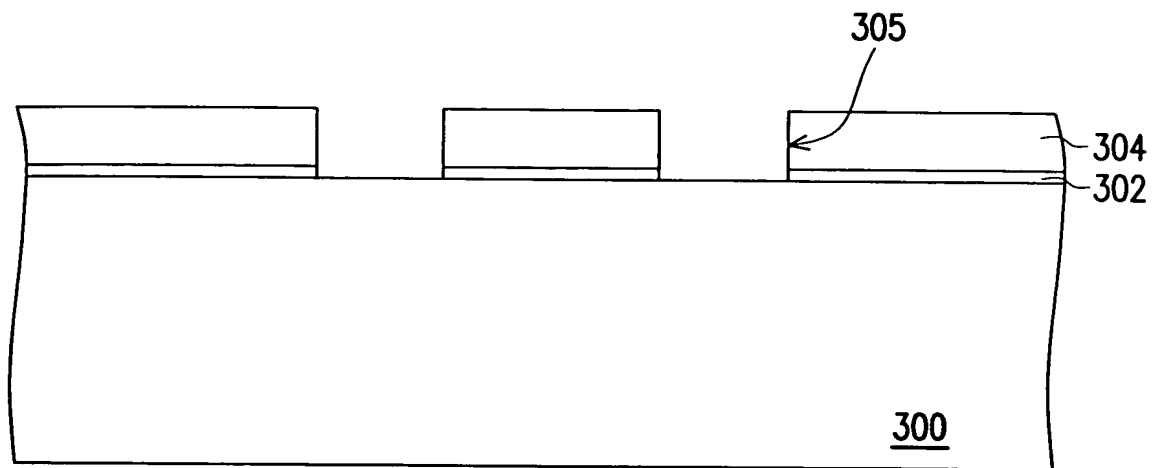
第 3 圖



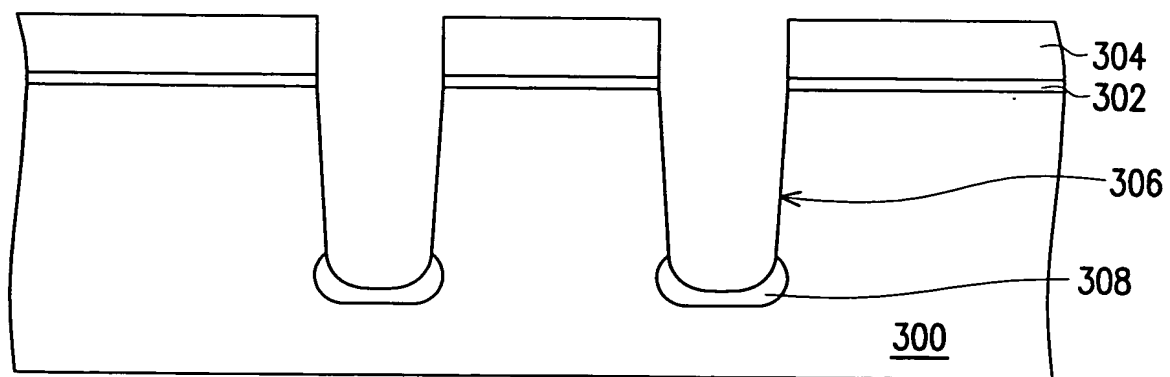
第 4A 圖



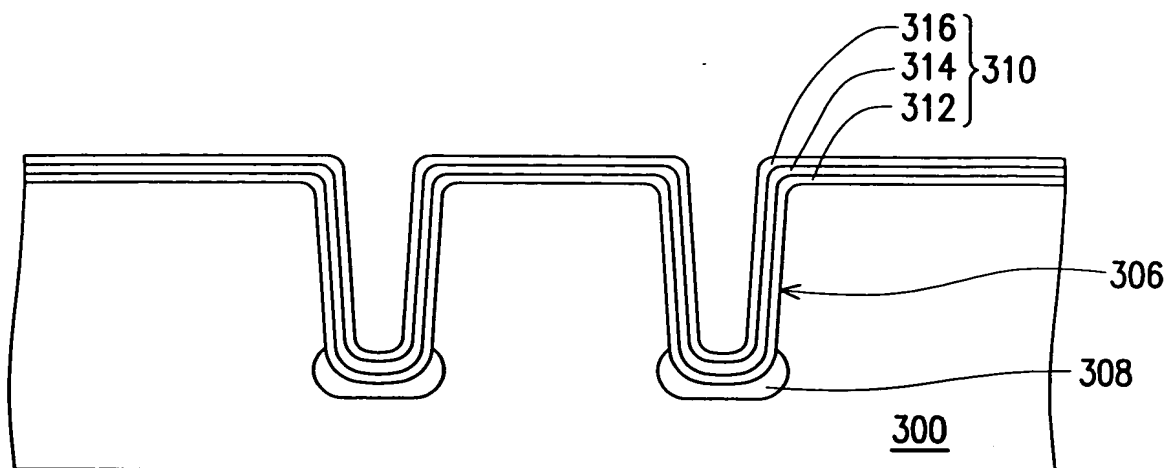
第 4B 圖



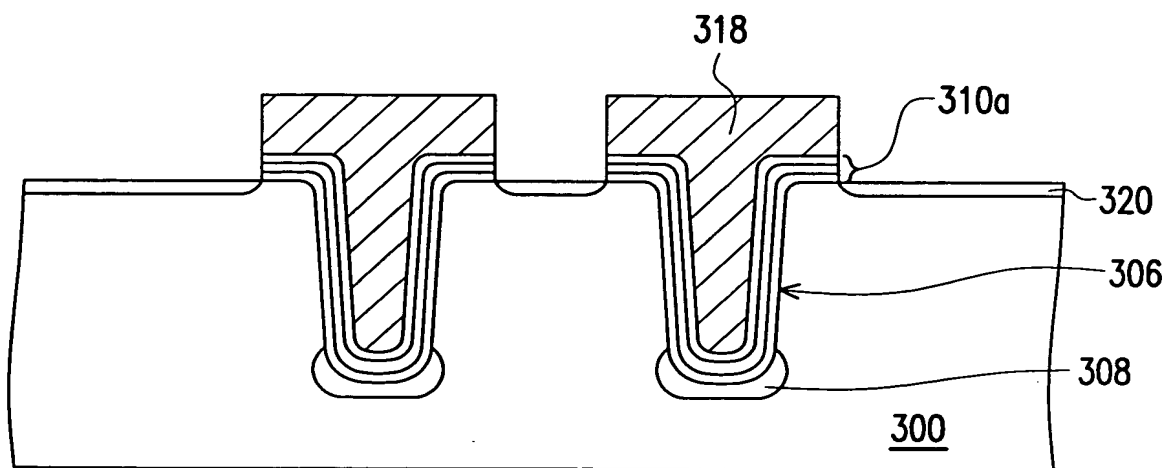
第 5A 圖



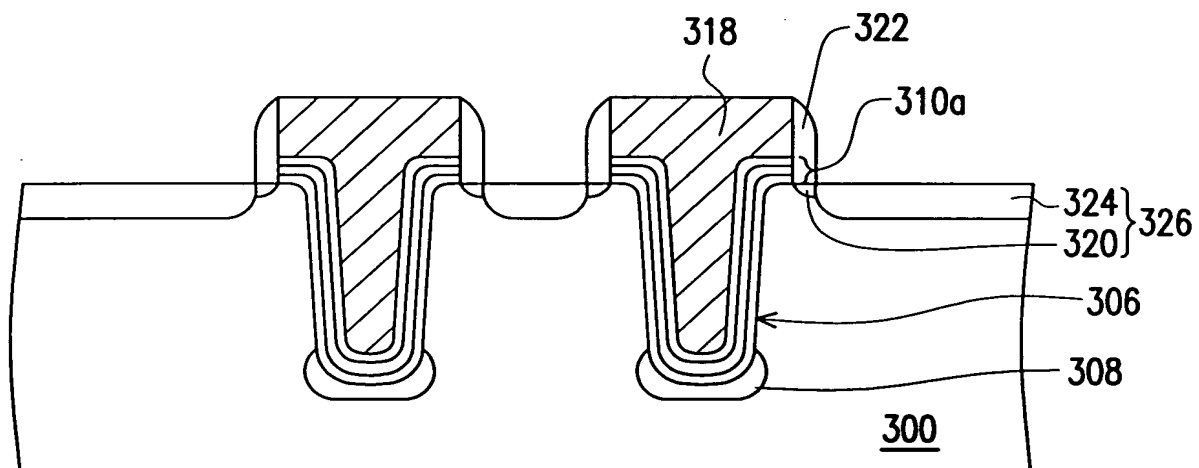
第 5B 圖



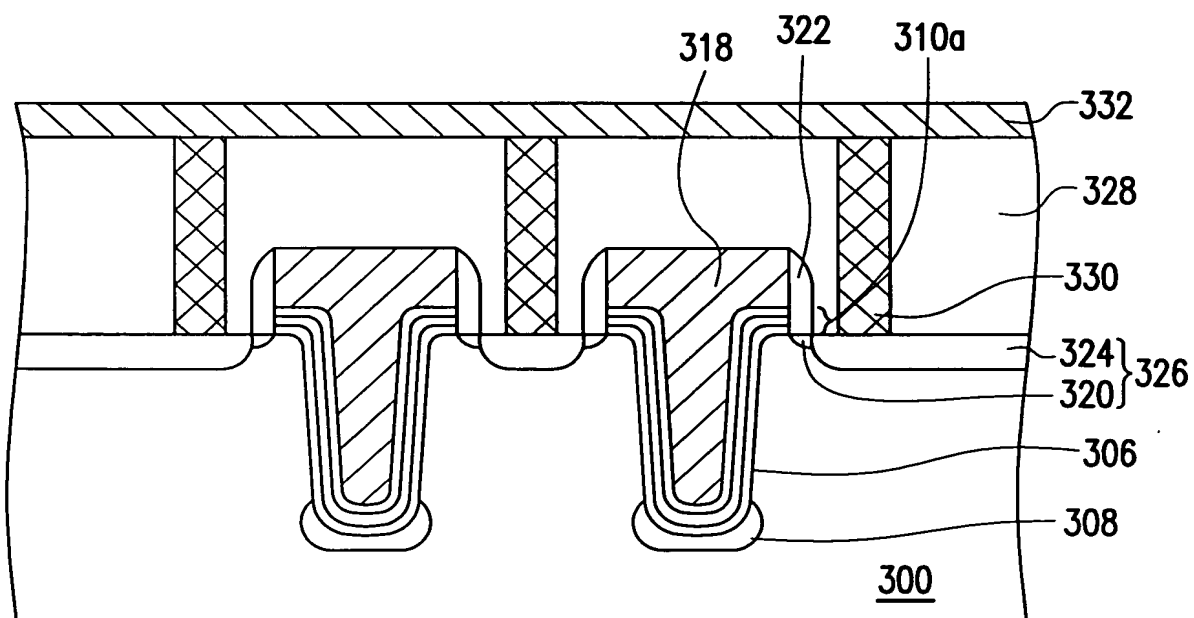
第 5C 圖



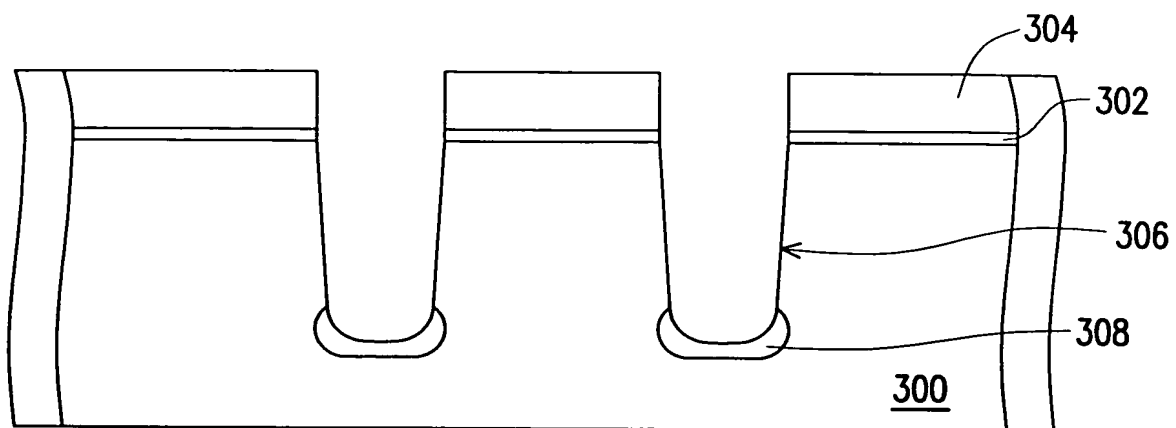
第 5D 圖



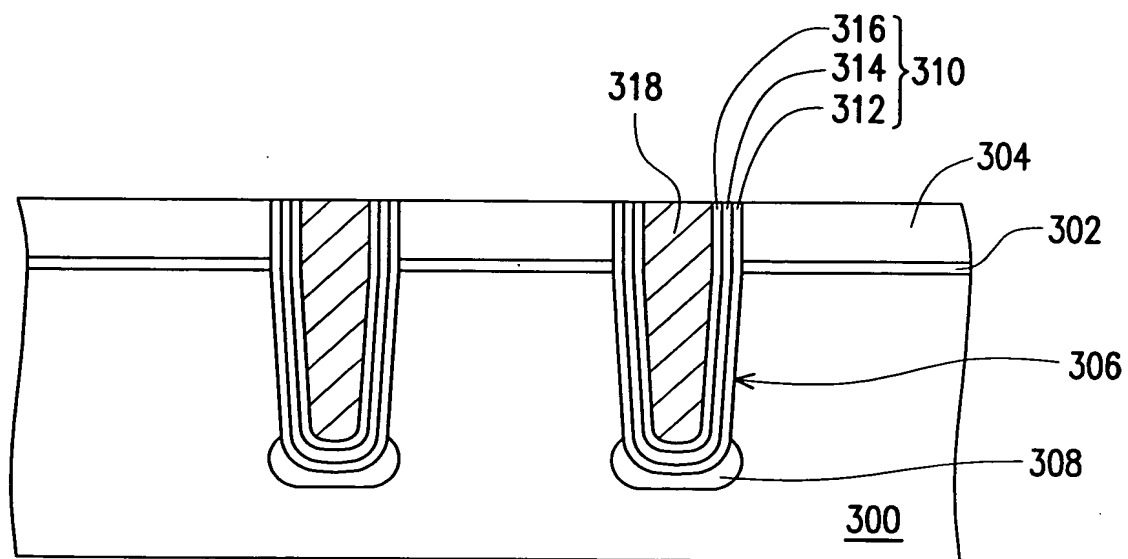
第5E圖



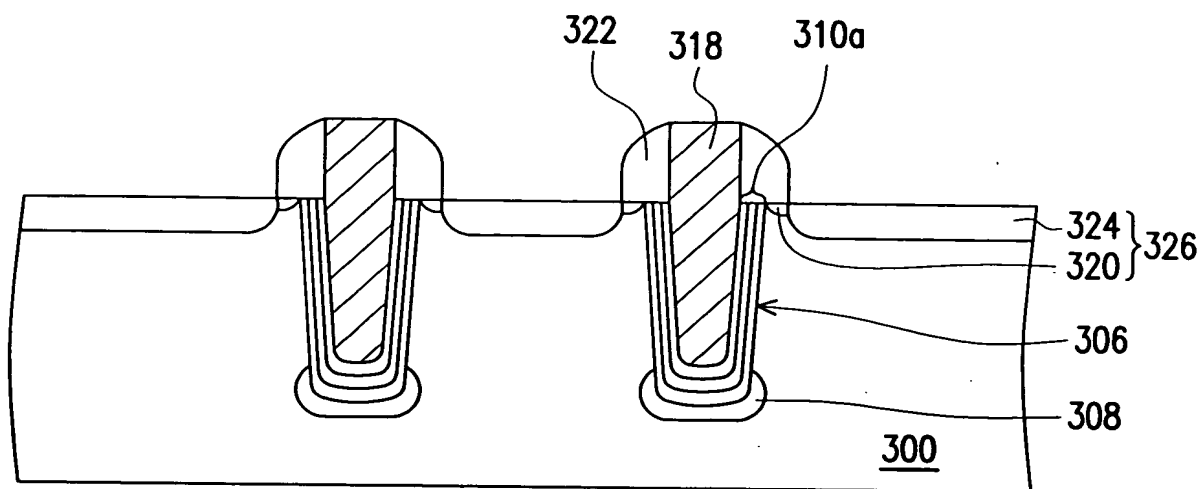
第5F圖



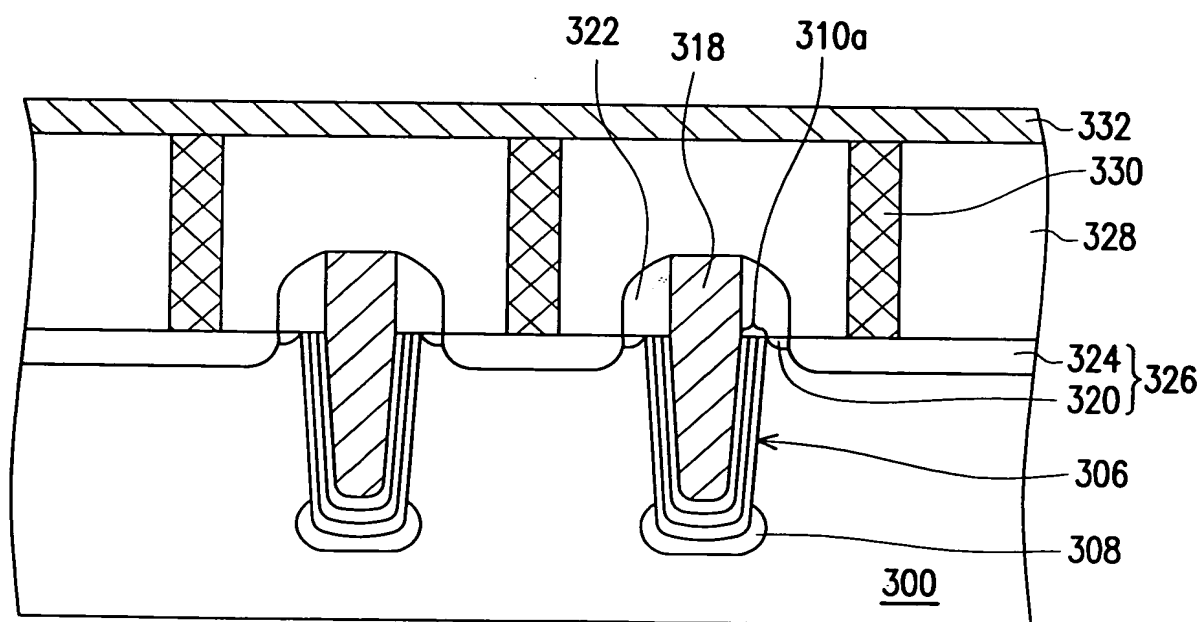
第 6A 圖



第 6B 圖

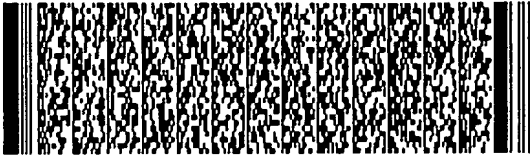


第 6C 圖

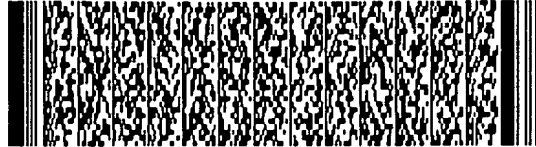


第 6D 圖

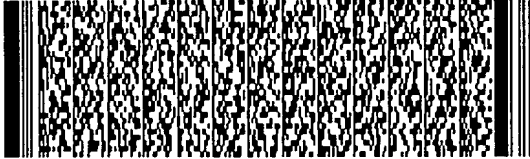
第 1/23 頁



第 1/23 頁



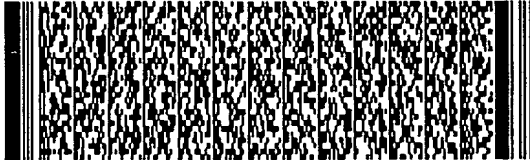
第 2/23 頁



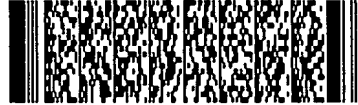
第 2/23 頁



第 3/23 頁



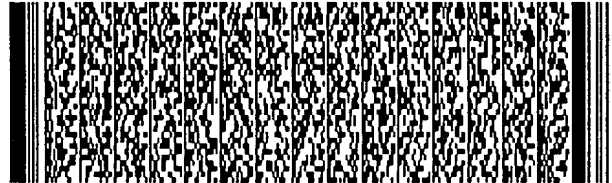
第 4/23 頁



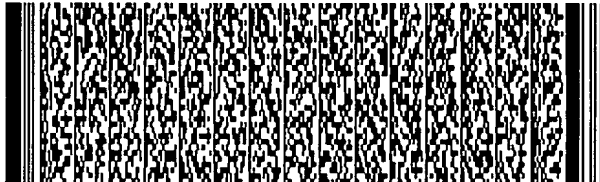
第 5/23 頁



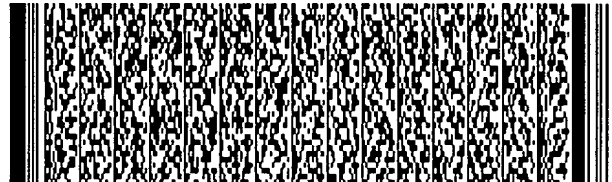
第 5/23 頁



第 6/23 頁



第 6/23 頁



第 7/23 頁



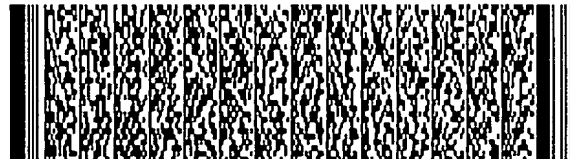
第 7/23 頁



第 8/23 頁



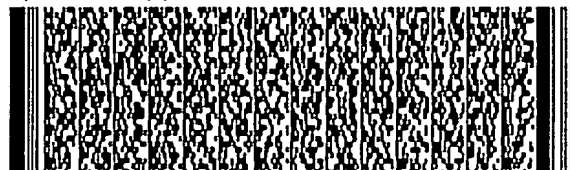
第 8/23 頁



第 9/23 頁



第 9/23 頁



第 10/23 頁



第 10/23 頁



第 11/23 頁



第 11/23 頁



第 12/23 頁



第 12/23 頁



第 13/23 頁



第 13/23 頁



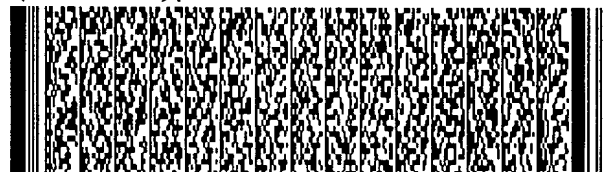
第 14/23 頁



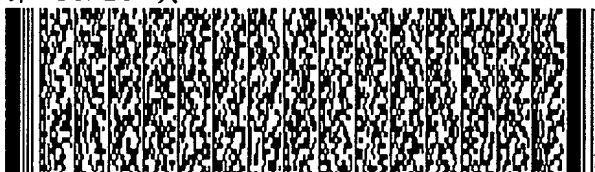
第 14/23 頁



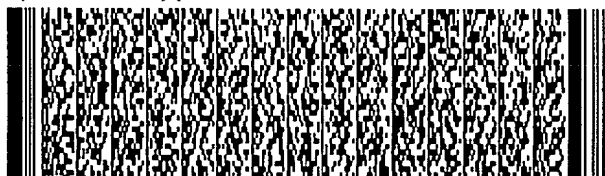
第 15/23 頁



第 15/23 頁



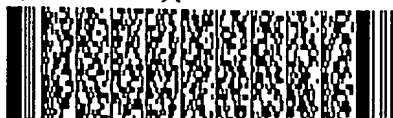
第 16/23 頁



第 16/23 頁



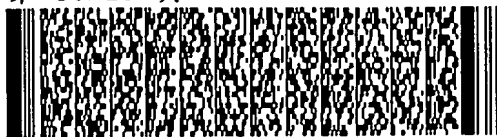
第 17/23 頁



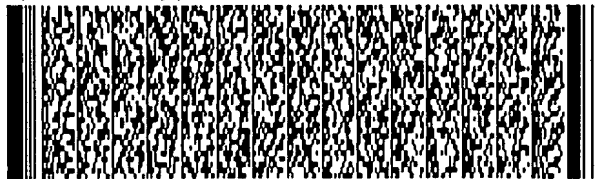
第 18/23 頁



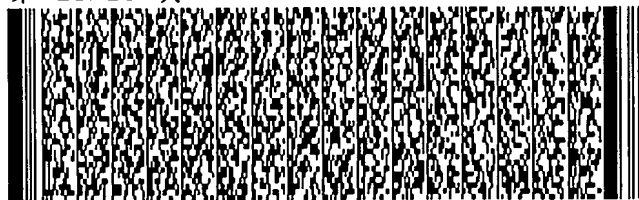
第 19/23 頁



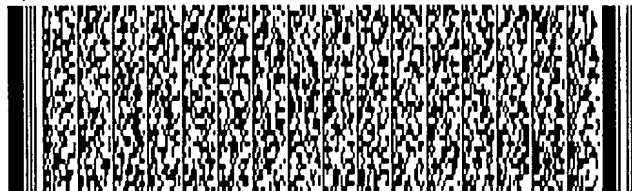
第 20/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

